



1as Jornadas Red-RISC-V
Bellaterra 5 y 6 febrero 2020

Una propuesta de actualización curricular en base al RISC-V

Escuela de Ingeniería de la UAB

Elena Valderrama, Lluís Terés et al.

Motivación

- Conveniente revisión/actualización curricular de la “línea de Arquitectura de Computadores” (AC) en las titulaciones TIC de la Escuela
- RISC-V como hilo conductor-renovador curricular
- Introducir el concepto de Hw/Sw abierto
- RISC-V como apuesta de futuro:
 - Ofrecer ventajas competitivas a nuestros titulados hacia el Hw/Sw abierto
 - Contribuir a la creación de una masa crítica cualificada de profesionales

⇒ Proyecto de Innovación Docente UAB “Armonización de la línea de AC alrededor del RISC-V y el concepto de Hw abierto”

Objetivos (2019-2020)

- 1) Armonizar los contenidos de las asignaturas de la línea AC en torno al RISC-V y el concepto de Hw abierto, de manera que el estudiante perciba una continuidad entre ellas y trabaje desde el primer día con Hw/Sw reales y con futuro
- 2) Desarrollar materiales didácticos en forma de (1) apuntes/videos/presentaciones de cada tema, (2) conjunto de problemas/casos para las prácticas de aula y (3) kits de autoevaluación para el estudiante
- 3) Ofrecer TFGs en los grados de Ingeniería Informática y de Telecomunicaciones en torno al diseño e implementación de partes de la arquitectura RISC-V. Estos trabajos son el inicio de una línea que nos permitirá disponer, de forma progresiva, de kits didácticos para el soporte de las prácticas de laboratorio.
- 4) (indirectamente) Incentivar el desarrollo de proyectos de I+D+i desde la perspectiva de hardware abierto y RISC-V.

Línea AC

Ingeniería Informática

Ingenierías de Telecomunicaciones

Ingeniería de Datos

curso 1, sem 1

Fundamentos de Informática (6)

Fundamentos de Informática (6)

Fundamentos de Informática (6)

curso 1, sem 2

Fundamentos de Computadores (6)

Sistemas Digitales y LDH (9)

curso 2, sem 1

Estructura de Computadores (6)

curso 2, sem 2

Arquitectura de Computadores (6)

Arquit. de Comp. y Periféricos (7,5)

Arquitecturas Avanzadas
Computación de Altas Prestaciones
Sistemas Empotrados
Integración Hw/Sw, ...
(Másteres)

curso 3, sem 2

Microprocesadores y Periféricos (6)

TFG

TFG

Contenidos

ISA-RV32I

Ing. Inf./Datos

Ing. Telec.

1.1	FI (6) FI (6)	Intro RISC-V, open Hw, ISA-RV32I Ensamblador (simplificado) 4-5h	FI (6)	Intro RISC-V, open Hw, ISA-RV32I Ensamblador (simplificado) Arquitectura RISC-V 12-13h
1.2	FC (6)	ISA-RV32I (add,sub,or,ld,sd,beq,jal) Arquitectura UC μ programada 5-6h	SD.LDH (9)	ISA-RV32I (add,sub,or,ld,sd,beq,jal) Arquitectura UC μ programada Pipeline (?) 7-8h
2.1	EC (6)	Subrutinas / uso de pilas Ejemplos de codificación con RISC-V; Problemas de codificación E/S, gestión interrupciones 7h		
2.2	AC (6)	Desde el lenguaje de alto nivel al lenguaje máquina y su análisis. <i>Requiere herramientas "año 2".</i> 2h	ACyP (7,5)	E/S 3-4h Desde el lenguaje de alto nivel al lenguaje máquina Actualización del resto de material para incluir ejemplos RISC-V).
3.2	μPyP(6)	E/S 2-3h Análisis de estrategias de bajo consumo		

TFG

TFG

Next year/years ...

- 1) Correr los nuevos contenidos en las asignaturas correspondientes (*salvo FC, cuyos “contenidos RISC-V” se explicarán ya en el 2º semestre 19-20*), lo que permitirá consolidar (filtrar y eventualmente mejorar) los temarios.
- 2) Preparar “píldoras” de materiales que puedan ser útiles dentro y fuera del entorno de la UAB, para ofrecerlas en el entorno de la Red española RISC-V. Ejemplos de “píldoras”:
 - RISC-V y el concepto de Hw abierto
 - Vista del procesador para un programador en lenguaje máquina
 - RISC-V ISA RV32I. Formatos de instrucción.
- 3) Extender el proyecto a otras asignaturas
- 4) Desarrollo de materiales para prácticas

Next year/years ...

RISC-V Hierarchical block diagram ✕
Content viewer ✕

IR: LdμPC:

PC: SelCond:

R0:

R1: LdIR:

MAR: LdPC:

MBR: LdR0:

IOR: LdR1:

 CtrlBB:

 OpALU:

ClearRegs:

 LdMABR:

 LdMAR:

 W:

 R:

 ALUflags:

RV-Source Code ✕

```

If M(102)>M(101)
then
  M(101) = M(102)
else M(102)=0;
          
```

RV-Mach Code ✕

```

10 LDA 101;
12 SWP;
13 LDA 102;
15 CMP;
          
```

RV-uProgram ✕

```

20 IF not Start Goto 20;
21 EXE (MAR<--<PC>);
22 EXE (Read RAM,
      PC <--<PC>+1);
          
```

RV-Command & log ✕

#> cmd & log lines



RISC-V Hierarchical block diagram

Content viewer

```

IR:      LdJPC:
PC:      SelCond:
RO:      .....
R1:      LdIR:
MAR:     LdPC:
MBR:     LdR0:
IOR:     LdR1:
         CtrIBB:
         OpALU:
ClearRegs:
LdMABR:
LdMAR:
W:
R:
.....
ALUflags:
  
```

RV-Source Code

```

If M(102)>M(101)
then
  M(101) = M(102)
else M(102)=0;
  
```

RV-Mach Code

```

10 LDA 101;
12 SWP;
13 LDA 102;
15 CMP;
  
```

RV-uProgram

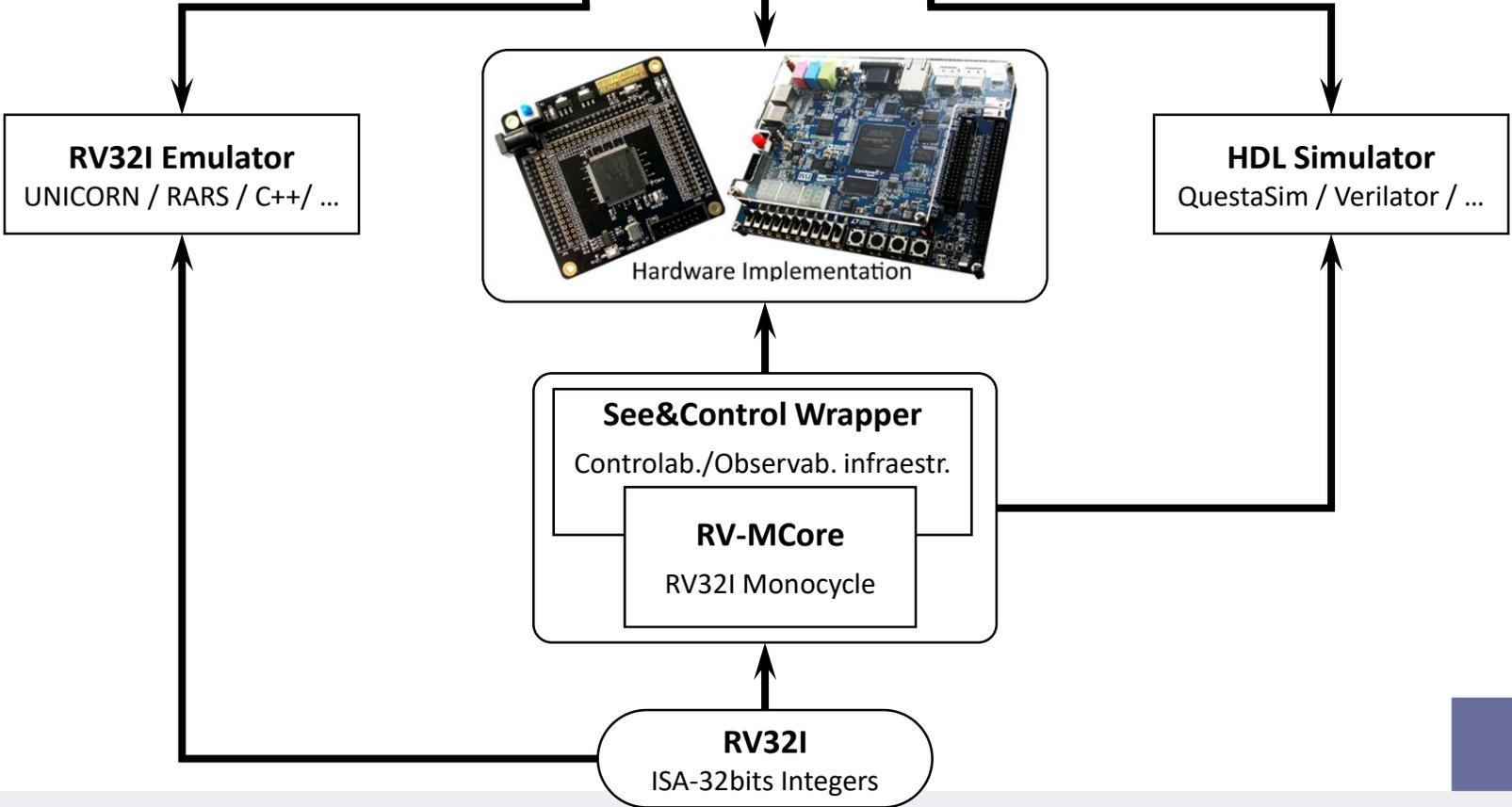
```

20 IF not Start Goto 20;
21 EXE (MAR<--<PC>);
22 EXE (Read RAM,
    PC <--<PC>+1);
  
```

RV-Command & log

```

#> cmd & log lines
  
```



Contenidos

TFG

<i>Título</i>	<i>Tareas</i>	<i>Timing</i>
Desarrollo de un “core” didáctico de RISC-V	<ul style="list-style-type: none">▪ Especificar y diseñar a nivel HDL-RTL un núcleo RISC-V ISA RV32I▪ Implementar y testear el core diseñado sobre una placa de desarrollo basada en FPGA	Defensa: feb. 2020
Desarrollo de una interfase de “debug” para un procesador RISC-V	<ul style="list-style-type: none">▪ Incorporar la infraestructura de controlabilidad/observa. básica en el núcleo HDL-RTL, de acuerdo con el estándar especificado por la RISC-V Foundation▪ Desarrollo de una interfase básica de comunicación PC-procesador▪ Implementar y testear la estructura de debug sobre una placa de desarrollo basada en FPGA	Segundo semestre 2019-20
Desarrollo de un núcleo didáctico básico de un procesador RISC-V	<ul style="list-style-type: none">▪ Especificar y diseñar a nivel HDL-RTL un núcleo RISC-V con un subconjunto básico del ISA RV32I (<i>procesador usado en las clases de aula</i>)▪ Incorporar una estructura de controlabilidad/observab. básica en el núcleo HDL-RTL▪ Implementar y testear el core diseñado sobre una placa de desarrollo basada en FPGA	
Desarrollo del subconjunto de instrucciones M y F para un proc. RISC-V	<ul style="list-style-type: none">▪ Incorporar los subconjuntos de instrucciones M y F en un procesador RISC-V de 5 etapas▪ Desarrollar una unidad de coma flotante▪ Implementar y testear el procesador con las nuevas instrucciones, en una placa de desarrollo basada en FPGA	

Resumen / conclusiones

- En la Escuela de Ingeniería de la UAB hemos puesto en marcha un proyecto de actualización curricular de las asignaturas de la “línea AC” en torno al RISC-V, a desarrollar en dos fases:
 - Actualización curricular de contenidos. Desarrollo de materiales de ayuda al estudiantes (apuntes, vídeos, presentaciones de clase, ...) , conjunto de problemas para las prácticas de aula y kits de autoevaluación
 - Desarrollo de un entorno didáctico orientado a las prácticas de laboratorio y de aula. Plataformas Hw/Sw
- La primera fase está en marcha, soportada (reconocida) por un proyecto de innovación docente UAB
- La segunda fase cuenta con una ayuda parcial del departamento de Microelectrónica y Sistemas Electrónicos, y se espera obtener un segundo proyecto UAB, continuación del actual

Resumen / conclusiones

- Vocación de retorno a la comunidad científica (Sw libre, Hw libre y también materiales educativos libres). Píldoras educativas
- Consideramos que el mayor logro actual del proyecto es haber sido capaces de aglutinar a un número considerable de profesores (y también estudiantes) dispuestos a trabajar en el mismo

significado del “et al.” del título de la charla ...

- Casanova, Raimon
- Castells, David
- César, Eduardo
- Espinosa, Antoni
- Franco, Daniel
- Margalef, Tomás
- Montón, Marius
- Moure, Juan Carlos
- Oliver, Joan
- Prim, Marta
- Rexachs, Dolores I.
- Ripoll, Ana
- Rullán, Mercè

- Senar, Miquel Àngel
- Sikora, Anna
- Sorribes, Joan
- Terés, Lluís
- Valderrama, Elena

Estudiantes

- Carretero, Adrián
- Casacuberta, Pau
- Domínguez, Marc
- Blanca M. Llauradó

